

Family list

5 family members for:

JP2003086706

Derived from 5 applications.

- 1 STATIC RANDOM ACCESS MEMORY AND ITS MANUFACTURING METHOD**
Publication Info: **JP2003031697 A** - 2003-01-31
- 2 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF,
 STATIC RANDOM ACCESS MEMORY DEVICE, AND PORTABLE ELECTRONIC
 EQUIPMENT**
Publication Info: **JP2003086706 A** - 2003-03-20
- 3 No English title available**
Publication Info: **TW564546 B** - 2003-12-01
- 4 Semiconductor device, semiconductor storage device and production methods
 therefor**
Publication Info: **US2004207011 A1** - 2004-10-21
- 5 SEMICONDUCTOR DEVICE, SEMICONDUCTOR STORAGE DEVICE AND
 PRODUCTION METHODS THEREFOR**
Publication Info: **WO03009385 A1** - 2003-01-30

Data supplied from the **esp@cenet** database - Worldwide

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF, STATIC RANDOM ACCESS MEMORY DEVICE, AND PORTABLE ELECTRONIC EQUIPMENT

Patent number: JP2003086706

Publication date: 2003-03-20

Inventor: IWATA HIROSHI; SHIBATA AKIHIDE; KAKIMOTO SEIZO

Applicant: SHARP KK

Classification:

- International: H01L21/8238; H01L21/8244; H01L27/092; H01L27/11; H01L21/70; H01L27/085; H01L27/11; (IPC1-7): H01L21/8238; H01L21/8244; H01L27/092; H01L27/11

- european:

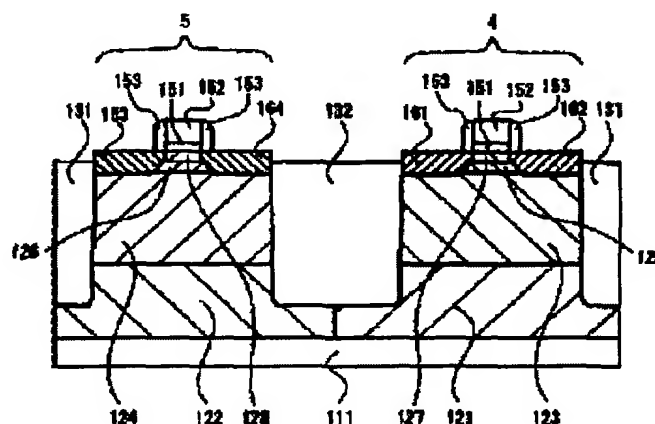
Application number: JP20010278117 20010913

Priority number(s): JP20010278117 20010913

[Report a data error here](#)

Abstract of JP2003086706

PROBLEM TO BE SOLVED: To provide a semiconductor device including a dynamic threshold transistor that can reduce the leak current caused by the gate current. **SOLUTION:** A complimentary circuit is composed of an n-channel dynamic threshold transistor 4, and a p-channel dynamic threshold transistor 5. The gate electrode 152 is formed via a gate insulating film 151 on a p-type shallow well region 123 and an n-type shallow well region 124. In the p-type shallow well region 123, a p-type layer 127 having small impurity concentration and a p-type layer 125 having dense impurity concentration are formed successively from the surface side. In the n-type shallow well region 124, an n-type layer 128 having small impurity concentration, and an n-type layer 126 having large impurity concentration are formed successively from the surface side. The p-type layer 127 having small impurity concentration, and n-type layer 128 having small impurity concentration are as thick as 40 nm or less.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86706

(P 2 0 0 3 - 8 6 7 0 6 A)

(43) 公開日 平成15年 3 月20日 (2003. 3. 20)

(51) Int. Cl. ⁷

識別記号

F I

テマコード (参考)

H01L 21/8238

H01L 27/08

321

D 5F048

21/8244

27/10

381

5F083

27/092

27/08

321

B

27/11

審査請求 未請求 請求項の数11 O L (全16頁)

(21) 出願番号

特願2001-278117 (P 2001-278117)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22) 出願日

平成13年 9 月13日 (2001. 9. 13)

(72) 発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 柴田 晃秀

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外 1 名)

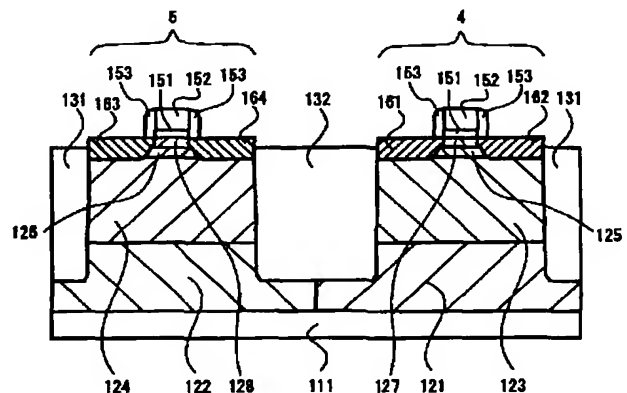
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、スタティック型ランダムアクセスメモリ装置並びに携帯電子機器

(57) 【要約】

【課題】 動的閾値トランジスタを含む半導体装置であって、ゲート電流が原因となるリーク電流を低減できるものを提供すること。

【解決手段】 Nチャネル型の動的閾値トランジスタ4およびPチャネル型の動的閾値トランジスタ5により相補型の回路が構成されている。P型の浅いウェル領域123上およびN型の浅いウェル領域124上に、ゲート絶縁膜151を介してゲート電極152が形成されている。P型の浅いウェル領域123内には、表面側から順に、P型の不純物濃度の薄い層127と、P型の不純物濃度の濃い層125とが形成されている。N型の浅いウェル領域124内には、表面側から順に、N型の不純物濃度の薄い層128と、N型の不純物濃度の濃い層126とが形成されている。P型の不純物濃度の薄い層127とN型の不純物濃度の薄い層128の厚さは40nm以下である。



【特許請求の範囲】

【請求項 1】 素子分離領域により素子毎に区分されたウェル領域とゲート電極とが電気的に接続されたことを特徴とする複数の動的閾値トランジスタからなる相補型の回路を有し、

上記相補型の回路は、

上記相補型の回路を高速で動作させるアクティブモードと、

上記相補型の回路を低速で動作させ、もしくは動作を停止させるスタンバイモードとの少なくとも 2 つのモードを有し、

上記相補型の回路がスタンバイモードにあるときには、上記相補型の回路がアクティブモードにあるときよりも低い電源電圧が上記相補型の回路に供給されるようになっていて、上記相補型の回路がスタンバイモードにあるとき

には、

上記相補型の回路を構成する上記動的閾値トランジスタのゲート電流値は、上記動的閾値トランジスタのオフ電流値以下であることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、上記相補型の回路は、複数の基本回路ブロックに分割され、

上記各基本回路ブロックは夫々独立にアクティブモードまたはスタンバイモードとすることができることを特徴とする半導体装置。

【請求項 4】 半導体基板と、

素子分離領域と、

上記半導体基板内に形成された第 1 導電型および第 2 導電型の深いウェル領域と、

上記第 1 導電型のおよび第 2 導電型の深いウェル領域内に夫々形成された第 2 導電型および第 1 導電型の浅いウェル領域と、

上記第 2 導電型および第 1 導電型の浅いウェル領域上に、ゲート絶縁膜を介して形成された複数のゲート電極とを有し、

上記複数のゲート電極は、夫々上記第 2 導電型もしくは第 1 導電型の浅いウェル領域と夫々電気的に接続されて、夫々第 1 導電型および第 2 導電型の動的閾値トランジスタを構成し、

上記第 2 導電型および第 1 導電型の浅いウェル領域は、上記動的閾値トランジスタ毎に素子分離領域により電気的に分離され、

上記第 2 導電型の浅いウェル領域内には、上記ゲート絶縁膜との界面側から深さ方向に順に、第 2 導電型の不純物濃度の薄い層と、第 2 導電型の不純物濃度の濃い層とが形成され、

上記第 1 導電型の浅いウェル領域内には、上記ゲート絶縁膜との界面側から深さ方向に順に、第 1 導電型の不純

物濃度の薄い層と、第 1 導電型の不純物濃度の濃い層とが形成され、

上記第 2 導電型および第 1 導電型の不純物濃度の薄い層の厚さは 40 nm 以下であり、

上記第 1 導電型および第 2 導電型の動的閾値トランジスタにより相補型の回路が構成されていることを特徴とする半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置を製造する方法であって、

少なくとも上記素子分離領域を形成する工程の後に、

上記半導体基板上で上記素子分離領域が存在しない領域として規定される活性領域の最上層部に第 2 導電型および第 1 導電型の不純物濃度の濃い領域を形成する工程と、

半導体膜を全面に堆積する工程を、上記活性領域上では選択的に単結晶半導体膜がエピタキシャル成長し、上記活性領域以外の領域上では多結晶半導体膜が成長する条件下で行なう工程と、

上記多結晶半導体を、単結晶半導体膜に対して選択的に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 に記載の半導体装置を製造する方法であって、

少なくとも上記素子分離領域を形成する工程の後に、

上記半導体基板上で上記素子分離領域が存在しない領域として規定される活性領域の最上層部に第 2 導電型および第 1 導電型の不純物濃度の濃い領域を形成する工程と、

単結晶半導体膜を上記活性領域のみに選択的にエピタキシャル成長させる工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板と、

素子分離領域と、

上記半導体基板内に形成された第 1 導電型および第 2 導電型の深いウェル領域と、

上記第 1 導電型および第 2 導電型の深いウェル領域内に夫々形成された第 2 導電型および第 1 導電型の浅いウェル領域と、

上記第 2 導電型および第 1 導電型の浅いウェル領域上に、ゲート絶縁膜を介して形成された複数のゲート電極とを有し、

上記複数のゲート電極は、夫々上記第 2 導電型もしくは第 1 導電型の浅いウェル領域と夫々電気的に接続されて、夫々第 1 導電型および第 2 導電型の動的閾値トランジスタを構成し、

上記第 2 導電型および第 1 導電型の浅いウェル領域は、上記動的閾値トランジスタ毎に素子分離領域により電気的に分離され、

上記第 2 導電型の浅いウェル領域上には、上記ゲート絶縁膜との界面側から深さ方向に順に、第 1 導電型の不純

物濃度の薄い層と、第 1 導電型の不純物濃度の濃い層とが形成され、

物濃度の薄い層と、第 1 導電型の不純物濃度の濃い層とが形成され、

上記第 1 導電型の浅いウェル領域上には、上記ゲート絶縁膜との界面側から深さ方向に順に、第 2 導電型の不純物濃度の薄い層と、第 2 導電型の不純物濃度の濃い層とが形成され、

上記第 1 導電型および第 2 導電型の動的閾値トランジスタにより相補型の回路が構成されていることを特徴とする半導体装置。

【請求項 8】 素子分離領域により素子毎に区分されたウェル領域とゲート電極とが電気的に接続されたことを特徴とする複数の動的閾値トランジスタからなる相補型の回路を有し、

上記複数の動的閾値トランジスタの基板バイアス効果因子 γ が 0.3 以上であることを特徴とする半導体装置。

【請求項 9】 請求項 4, 7, 8 のいずれかに記載の半導体装置であって、かつ請求項 1 に記載の半導体装置であることを特徴とする半導体装置。

【請求項 10】 請求項 1 乃至 4, 7, 8, 9 のいずれかに記載の半導体装置を具備したことを特徴とするスタティック型ランダムアクセスメモリ装置。

【請求項 11】 請求項 1 乃至 4, 7, 8, 9 のいずれかに記載の半導体装置もしくは請求項 10 に記載のスタティック型ランダムアクセスメモリ装置を具備したことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、スタティック型ランダムアクセスメモリ装置並びに携帯電子機器に関する。より具体的には、動的閾値トランジスタを含む半導体装置及びその製造方法と、この半導体装置を備えたスタティック型ランダムアクセスメモリ装置及び携帯電子機器に関する。

【0002】

【従来の技術】MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いた CMOS (相補型 MOS) 回路において消費電力を減少させるには、電源電圧を下げるのが最も有効である。しかし、単に電源電圧を低下させると MOSFET の駆動電流が低下し、回路の動作速度が遅くなる。この現象は、電源電圧がトランジスタの閾値の 3 倍以下になると顕著になることが知られている。この現象を防ぐためには、閾値を低くすればよいが、そうすると MOSFET のオフ時のリーク電流が増大するという問題が生じることとなる。そのため上記問題が生じない範囲で閾値の下限が規定される。閾値の下限は、電源電圧の下限に対応しているため、低消費電力化の限界を規定することとなる。

【0003】従来、上記問題を緩和するために、バルク基板を用いた動的閾値動作トランジスタ（以下、DTMOS と言う。）が提案されている（特開平 10-224

62 号公報、Novel Bulk Threshold Voltage MOSFET (BDTMOS) with Advanced Isolation (SITOS) and Gate to Shallow Well Contact (SSS-C) Processes for UltraLow Power Dual Gate CMOS, H. Kotaki et al., IEDM Tech. Dig., p459, 1996)。上記 DTMOS は、オン時に実効的な閾値が低下するため、低電源電圧で高駆動電流が得られるという特徴を持つ。DTMOS の実効的な閾値が、オン時に低下するのは、ゲート電極とウェル領域が電気的に短絡されているからである。

【0004】以下、N 型の DTMOS の動作原理を説明する。なお、P 型の DTMOS は、極性を逆にすることで同様の動作をする。上記 N 型の MOSFET において、ゲート電極の電位がローレベルにあるとき（オフ時）は P 型のウェル領域の電位もローレベルにあり、実効的な閾値は通常の MOSFET の場合と変わらない。したがって、オフ電流値（オフリーク）は通常の MOSFET の場合と同じである。

【0005】一方、ゲート電極の電位がハイレベルにある時（オン時）は P 型のウェル領域の電位もハイレベルになり、基板バイアス効果により実効的な閾値が低下し、駆動電流は通常の MOSFET の場合に比べて増加する。このため、低電源電圧で低リーク電流を維持しながら大きな駆動電流を得ることができる。したがって、低電圧駆動で低消費電力な CMOS 回路が実現される。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来技術である DTMOS は、ゲート電極とウェル領域とが電気的に接続されているために、オン時にはゲート電流が流れてしまうという DTMOS 特有の問題があった。

【0007】ゲート電流の影響を図 10 及び図 11 を用いて考察する。図 10 は、N チャネル型 DTMOS の、ドレイン電流 (I_d) 及びゲート電流 (I_g) 対ゲート電圧 (V_g) の特性を示す図である。ゲート電圧 V_g が増していくと、ゲート電流 I_g は指数関数的に増加することが分かる。図 10 に示す N チャネル型 DTMOS の例では、ゲート電圧 V_g が 0.5 V におけるゲート電流 I_g は、オフ電流 ($V_g = 0$ V における I_d) に匹敵する。

【0008】図 11 は、2 段のインバータ回路からなる CMOS 回路の回路図である。電源線 (VDD) と接地線 (GND) との間には、インバータ回路 1, 2 が接続されている。各インバータ回路 1, 2 は、夫々 N チャネル型 DTMOS 11, 13 及び P チャネル型 DTMOS 12, 14 で構成されている。インバータ回路 1 の入力には入力端子 IN が設けられ、インバータ回路 1 の出力はインバータ回路 2 の入力に接続され、インバータ回路 2 の出力には出力端子 OUT が設けられている。

【0009】ここで、入力端子 IN にローレベルが印加されている場合を考える。このとき、中間ノード MID

はハイレベルにあり、出力端子OUTにはローレベルが出力される。このとき、Pチャネル型DTMOS12及びNチャネル型DTMOS13はオン状態となり、Nチャネル型DTMOS11及びPチャネル型DTMOS14はオフ状態となっている。オフ状態であるNチャネル型DTMOS11においては、図11中に矢印22で示す経路で、図10のグラフ中にAで示すレベルのオフ電流が流れる。一方、オン状態であるNチャネル型DTMOS13においては、図11中に矢印23で示すようにゲート電極からソース電極に向かう経路で、図10のグラフ中にBで示すレベルのゲート電流が流れる。ここで、電源電圧は0.6Vであるとした。上記オフ電流A及びゲート電流Bは、電源線VDDから、図11中に矢印21で示すようにオン状態であるPチャネル型DTMOS12を介して、接地線GNDへと流れるリーク電流となる。図10の例では、電源電圧0.6Vにおいて、ゲート電流のレベルBはオフ電流のレベルAに比べて1桁大きい。なお、上述したNチャネル型のDTMOSの場合と同様に、Pチャネル型のDTMOSに関してもオフ電流及びゲート電流が流れるので、同様なリーク電流が発生する。

【0010】ところで、ゲート電流の起源は、ウェル領域とソース領域との順方向接合電流であり、接合面積に比例する。MOSトランジスタの設計上の観点からは、この接合面積を減らすことによりゲート電流を大幅に減少させるのは困難である。このため、低消費電力CMOS回路においては、回路が静的状態にあるときのリーク電流を低減させることが大きな課題となっており、特にDTMOSからなるCMOS回路においては、ゲート電流が原因となるリーク電流の低減がDTMOS特有の課題となっていた。

【0011】そこで、本発明の課題は、動的閾値トランジスタを含む半導体装置であって、ゲート電流が原因となるリーク電流を低減できるものを提供することにある。また、本発明の課題は、そのような半導体装置を作製できる半導体装置の製造方法と、そのような半導体装置を備えたスタティック型ランダムアクセスメモリ装置及び携帯電子機器を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、第1の発明の半導体装置は、素子分離領域により素子毎に区分されたウェル領域とゲート電極とが電気的に接続されたことを特徴とする複数の動的閾値トランジスタからなる相補型の回路を有し、上記相補型の回路は、上記相補型の回路を高速で動作させるアクティブモードと、上記相補型の回路を低速で動作させ、もしくは動作を停止させるスタンバイモードとの少なくとも2つのモードを有し、上記相補型の回路がスタンバイモードにあるときには、上記相補型の回路がアクティブモードにあるときよりも低い電源電圧が上記相補型の回路に供

給されるようになっていことを特徴としている。

【0013】この第1の発明の半導体装置によれば、上記動的閾値トランジスタからなる相補型回路は、アクティブモードとスタンバイモードの少なくとも2つの動作モードを有する。そして、アクティブモードでは、十分に高い電源電圧が供給されるので、回路を高速に動作させることができる。一方、回路が休止状態にあるとき、あるいは低速で動作させるときにはスタンバイモードとして、低い電源電圧を与えてリーク電流の主因となるゲート電流を著しく抑制することができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0014】一実施形態の半導体装置は、上記相補型の回路が上記スタンバイモードにあるときには、上記相補型の回路を構成する上記動的閾値トランジスタのゲート電流値は、上記動的閾値トランジスタのオフ電流値以下であることを特徴としている。

【0015】この実施形態の半導体装置によれば、上記相補型の回路のリーク電流を、上記動的閾値トランジスタのオフ電流が規定する大きさまで十分に小さくすることができる。すなわち、上記第1の発明の半導体装置の効果を最大限引き出すことができる。

【0016】一実施形態の半導体装置は、上記相補型の回路は、複数の基本回路ブロックに分割され、上記各基本回路ブロックは夫々独立にアクティブモードまたはスタンバイモードとすることができることを特徴とする半導体装置。

【0017】この実施形態の半導体装置によれば、上記動的閾値トランジスタからなる上記相補型の回路を複数の基本回路ブロックに分割し、夫々を独立にアクティブモードまたはスタンバイモードにすることができる。したがって、高速動作させる必要がある基本回路ブロックのみアクティブモードとし、その他の基本回路ブロックをスタンバイモードとしてリーク電流を低減することができる。したがって、回路の動作速度を高速に保ったままさらに低消費電力化することができる。

【0018】また、第2の発明の半導体装置は、半導体基板と、素子分離領域と、上記半導体基板内に形成された第1導電型および第2導電型の深いウェル領域と、上記第1導電型のおよび第2導電型の深いウェル領域内に夫々形成された第2導電型および第1導電型の浅いウェル領域と、上記第2導電型および第1導電型の浅いウェル領域上に、ゲート絶縁膜を介して形成された複数のゲート電極とを有し、上記複数のゲート電極は、夫々上記第2導電型もしくは第1導電型の浅いウェル領域と夫々電気的に接続されて、夫々第1導電型および第2導電型の動的閾値トランジスタを構成し、上記第2導電型および第1導電型の浅いウェル領域は、上記動的閾値トランジスタ毎に素子分離領域により電気的に分離され、上記

10

20

30

40

50

第2導電型の浅いウェル領域内には、上記ゲート絶縁膜との界面側から深さ方向に順に、第2導電型の不純物濃度の薄い層と、第2導電型の不純物濃度の濃い層とが形成され、上記第1導電型の浅いウェル領域内には、上記ゲート絶縁膜との界面側から深さ方向に順に、第1導電型の不純物濃度の薄い層と、第1導電型の不純物濃度の濃い層とが形成され、上記第2導電型および第1導電型の不純物濃度の薄い層の厚さは40nm以下であり、上記第1導電型および第2導電型の動的閾値トランジスタにより相補型の回路が構成されていることを特徴として

【0019】この第2の発明の半導体装置によれば、上記第1導電型および第2導電型の動的閾値トランジスタとで相補型の回路が構成されている。そして、上記第1導電型（第2導電型）の動的閾値トランジスタの上記第2導電型（第1導電型）の浅いウェル領域内には、ゲート絶縁膜との界面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とが形成され、上記第2導電型（第1導電型）の不純物濃度の薄い層の厚さは40nm以下である。そのため、上記不純物濃度の濃い層によって、ゲート絶縁膜から浅いウェル領域側に形成される空乏層の伸びが抑制される。その結果、基板バイアス効果が増大するので、動的閾値トランジスタの閾値を高くしてオフ電流を少なくすることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0020】また、第3の発明の半導体装置の製造方法は、上記第2の発明の半導体装置を製造する方法であって、少なくとも上記素子分離領域を形成する工程の後に、上記半導体基板上で上記素子分離領域が存在しない領域として規定される活性領域の最上層部に第2導電型および第1導電型の不純物濃度の濃い領域を形成する工程と、半導体膜を全面に堆積する工程を、上記活性領域上では選択的に単結晶半導体膜がエピタキシャル成長し、上記活性領域以外の領域上では多結晶半導体膜が成長する条件下で行なう工程と、上記多結晶半導体を、単結晶半導体膜に対して選択的に除去する工程とを含むことを特徴としている。

【0021】この第3の発明の半導体装置の製造方法によれば、あらかじめ上記活性領域の最上層部に不純物濃度の濃い領域を形成しておいて、その後に単結晶半導体膜をエピタキシャル成長させている。そのため、上記第1導電型（第2導電型）の動的閾値トランジスタのために、表面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とを、イオン注入では困難な急峻なプロファイルを持つように形成することができる。また、上記活性領域上に成長した膜は基板結晶の方

位を受け継いだ単結晶半導体膜であるから、改めて再結晶化するための熱工程が不要となり、急峻なプロファイルを維持することができる。

【0022】また、上記活性領域以外の領域上、例えば上記素子分離領域上には、単結晶半導体膜に対して選択エッチング可能な多結晶半導体膜が形成される。そのため、素子間およびソース・ドレイン領域間を分離するためには、等方性エッチングにより上記多結晶半導体膜を除去するだけでよい。

【0023】したがって、比較的簡単な工程により、上記第2の発明の半導体装置を製造することができる。

【0024】また、第4の発明の半導体装置の製造方法は、上記第2の発明の半導体装置を製造する方法であって、少なくとも上記素子分離領域を形成する工程の後に、上記半導体基板上で上記素子分離領域が存在しない領域として規定される活性領域の最上層部に第2導電型および第1導電型の不純物濃度の濃い領域を形成する工程と、単結晶半導体膜を上記活性領域のみに選択的にエピタキシャル成長させる工程と、を含むことを特徴としている。

【0025】この第4の発明の半導体装置の製造方法によれば、あらかじめ上記活性領域の最上層部に不純物濃度の濃い領域を形成しておいて、その後に単結晶半導体膜をエピタキシャル成長させている。そのため、上記第1導電型（第2導電型）の動的閾値トランジスタのために、表面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とを、イオン注入では困難な急峻なプロファイルを持つように形成することができる。また、上記活性領域上に成長した膜は基板結晶の方位を受け継いだ単結晶半導体膜であるから、改めて再結晶化するための熱工程が不要となり、急峻なプロファイルを維持することができる。

【0026】また、上記活性領域のみに、単結晶半導体膜が選択エピタキシャル成長する。そのため、上記活性領域以外の領域上、例えば素子間およびソース・ドレイン領域間を分離するための等方性エッチングなどが必要ない。

【0027】したがって、更に簡単な工程により、上記第2の発明の半導体装置を製造することができる。

【0028】また、第5の発明の半導体装置は、半導体基板と、素子分離領域と、上記半導体基板内形成された第1導電型および第2導電型の深いウェル領域と、上記第1導電型および第2導電型の深いウェル領域内に夫々形成された第2導電型および第1導電型の浅いウェル領域と、上記第2導電型および第1導電型の浅いウェル領域上に、ゲート絶縁膜を介して形成された複数のゲート電極とを有し、上記複数のゲート電極は、夫々上記第2導電型もしくは第1導電型の浅いウェル領域と夫々電気的に接続されて、夫々第1導電型および第2導電型の動

的閾値トランジスタを構成し、上記第2導電型および第1導電型の浅いウェル領域は、上記動的閾値トランジスタ毎に素子分離領域により電氣的に分離され、上記第2導電型の浅いウェル領域上には、上記ゲート絶縁膜との界面側から深さ方向に順に、第1導電型の不純物濃度の薄い層と、第1導電型の不純物濃度の濃い層とが形成され、上記第1導電型の浅いウェル領域上には、上記ゲート絶縁膜との界面側から深さ方向に順に、第2導電型の不純物濃度の薄い層と、第2導電型の不純物濃度の濃い層とが形成され、上記第1導電型および第2導電型の動的閾値トランジスタにより相補型の回路が構成されていることを特徴とする半導体装置。

【0029】この第5の発明の半導体装置によれば、上記第1導電型および第2導電型の動的閾値トランジスタとで相補型の回路が構成されている。そして、上記第1導電型（第2導電型）の動的閾値トランジスタの上記第2導電型（第1導電型）の浅いウェル領域上には、ゲート絶縁膜との界面側から深さ方向に順に、第1導電型（第2導電型）の不純物濃度の薄い層と、第1導電型（第2導電型）の不純物濃度の濃い層とが形成されている。このような、いわゆるカウンタドープ構造によってもまた、上記第2の発明の半導体装置と同様に空乏層の伸びを抑制することができる。しかも、その抑制の度合いは上記第2の発明の半導体装置よりも大きい。その結果、基板バイアス効果はさらに増大するので、動的閾値トランジスタの閾値をさらに高くしてオフ電流を少なくすることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったままさらに低消費電力化することができる。

【0030】また、第6の発明の半導体装置は、素子分離領域により素子毎に区分されたウェル領域とゲート電極とが電氣的に接続されたことを特徴とする複数の動的閾値トランジスタからなる相補型の回路を有し、上記複数の動的閾値トランジスタの基板バイアス効果因子 γ が0.3以上であることを特徴としている。

【0031】この第6の発明の半導体装置によれば、従来技術による動的閾値トランジスタに比べて十分大きな基板バイアス効果を得ることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0032】また、第7の発明の半導体装置は、第1の発明の半導体装置であって、かつ第2、第5、第6のいずれかの発明の半導体装置であることを特徴とする。

【0033】この第7の発明の半導体装置によれば、基板バイアス効果の大きな動的閾値を用いて相補型回路を組むことによりオフリークを非常に小さくすることができ、かつ回路がスタンバイ状態にあるときにはゲート電流を非常に小さくすることができる。したがって、動

的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま著しく低消費電力化することができる。

【0034】また、第8の発明のスタティック型ランダムアクセスメモリ装置は、第1、第2、第5、第6のいずれかの発明の半導体装置を具備したことを特徴としている。

【0035】この第8の発明のスタティック型ランダムアクセスメモリ装置によれば、上記第1、第2、第5、第6のいずれかの発明の半導体装置を具備しているので、スタンバイ時のリーク電流を低減することができる。したがって、スタティック型ランダムアクセスメモリの動作速度を高速に保ったまま低消費電力化することができる。

【0036】また、第9の発明の携帯電子機器は、上記発明の半導体装置またはスタティック型ランダムアクセスメモリ装置を具備することを特徴としている。

【0037】この第9の発明の携帯電子機器によれば、上記半導体装置を具備するから、LSI（大規模集積回路）部等の消費電力が大幅に減少して、電池寿命を大幅にのばすことができる。

【0038】

【発明の実施の形態】以下、本発明を図示の実施の形態により詳細に説明する。

【0039】本発明に使用することができる半導体基板は、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、P型またはN型の導電型を有していても良い。

【0040】（実施の形態1）本実施の形態は、DTMOSからなるCMOS回路において、回路がアクティブ状態にある時とスタンバイ状態にある時とで電源電圧を変えることにより、回路の動作速度を保ったまま、スタンバイ時のゲート電流に起因するリーク電流を低減する半導体装置に関するものである。ここで、アクティブ状態とは回路が高速で動作するアクティブモードにあることを指し、スタンバイ状態とは、回路が低速で動作し、もしくは停止状態となるスタンバイモードにあることを指す。本実施の形態1の半導体装置を、図1～図3を用いて説明する。

【0041】図1は、Nチャネル型DTMOSの一例の、ドレイン電流（ I_d ）及びゲート電流（ I_g ）対ゲート電圧（ V_g ）の特性を示すグラフである。図2は、Pチャネル型DTMOSの一例の同様なグラフである。なお、 I_d 及び I_g は、単位ゲート幅あたりの電流値に規格化されている。

【0042】回路の動作速度の観点からは、ドレイン電流が大きい方が動作速度を早くすることができるので、ゲート電流が著しく増大しない範囲で電源電圧を高くする方がよい。図1の例では、例えば電源電圧を0.6Vとすることができる。しかしながら、回路が実質的に休

止状態（スタンバイ状態）にあるときは、ゲート電流が消費電力の大部分を占めることとなる。ゲート電流による消費電流を低減する方法としては、回路に供給される電源を遮断する方法がある。これにより、回路の消費電流を0とすることができる。しかしながら、回路に供給される電源を遮断した場合、回路の各ノードにおける状態（情報）が失われてしまう。これを防ぐためには、不揮発性メモリを設け、電源を遮断する前にこのメモリに状態を記憶すればよい。

【0043】上記状態を記憶するための不揮発性メモリを設けることなくゲート電流による消費電流を低減する他の方法は、回路がスタンバイ状態の時には電源電圧を低下させるというものである。電源電圧を低下させるとゲート電流は指数関数的に減少するので、スタンバイ状態にある回路の消費電流を著しく低減することができる。しかも、回路の各ノードにおける状態は保持されるので、別に不揮発性メモリを設ける必要がない。また、回路の状態を不揮発性メモリに書き込んだり、逆に不揮発性メモリから読み出したりする動作も不要である。

【0044】スタンバイ時の電源電圧は、ゲート電流がオフリーク以下になるようにするのがより好ましい。図1の例では、オフリークは約 10^{-12} A/ μ mであり、ゲート電流がそれと等しくなるのはゲート電圧が0.4 Vの時である。また、図2において、Pチャネル型DTMOSも、ゲート電圧の符号が逆になる点が異なるのみで、ほぼ同様の特性を持っている。したがって、図1の例では、回路がスタンバイ状態にある時には電源電圧を0.4 V以下とするのがより好ましい。無論、オフリークは素子の閾値により大きく変わるものであるから、スタンバイ時の電源電圧は、ゲート電流がオフリーク以下となるよう適宜決めればよい。

【0045】図3は、本実施の形態の半導体装置の構成を示す図である。DTMOSによるCMOS回路で構成される基本回路ブロック31には、電源3から、電源線33と電圧調整回路32と電源線34とを介して、電力が供給される。電圧調整回路32は、対応する基本回路ブロック31がアクティブ状態にあるか、あるいはスタンバイ状態にあるかに応じて異なる電圧を電源線34に供給する。基本回路ブロック31を構成するDTMOSが夫々図1と図2の特性を持つ場合、例えば、基本回路ブロック31がアクティブ状態にあるときには0.6 Vを、スタンバイ状態にあるときには0.4 Vの電圧を供給する。

【0046】基本回路ブロック31は、図3に示すように複数個あってもよい。この場合、スタンバイ状態にすべき基本回路ブロックに供給する電源電圧のみを下げて、リーク電流を抑制することができる。したがって、一部の回路のみを動作させる場合において、スタンバイ状態にすべき回路とアクティブ状態にすべき回路とを

適切に分けて、回路の動作速度を高速に保ったまま低消費電力化することができる。

【0047】なお、基本回路ブロック31を構成するトランジスタは、DTMOSのみで構成される必要はなく、一部が通常のMOSFETであってもよい。

【0048】本実施の形態の半導体装置によれば、DTMOSによるCMOS回路で構成される基本回路ブロックがアクティブ状態の時とスタンバイ状態の時とで電源電圧を変え、スタンバイ状態の時には電源電圧を低下させることができる。そのため、回路がスタンバイ状態にあるときには、DTMOSからなるCMOS回路のリーク電流の大半を占めるゲート電流を大幅に低減することができる。一方、回路がアクティブ状態にあるときには、十分大きなドレイン電流が得られるので、回路を高速に動作させることができる。したがって、DTMOSによるCMOS回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0049】（実施の形態2）本実施の形態2の半導体装置は、DTMOSからなるCMOS回路において、DTMOSの基板バイアス効果を増大することにより所望のドレイン電流を得るための閾値を上昇させ、結果としてオフ電流を減少させるものである。本実施の形態2の半導体装置を、図4～図6を用いて説明する。

【0050】図4は、本実施の形態2の半導体装置の断面の概略図であり、Nチャネル型DTMOS4とPチャネル型DTMOS5が夫々描かれている。半導体基板111上には、N型の深いウェル領域121とP型の深いウェル領域122が形成されている。さらに、N型の深いウェル領域121上にはP型の浅いウェル領域123が、P型の深いウェル領域122上にはN型の浅いウェル領域124が夫々形成されている。

【0051】P型の浅いウェル領域123上には、N型のソース領域161、N型のドレイン領域162が互いに離間して形成され、それらの間の領域上にゲート絶縁膜151を介してゲート電極152が形成され、さらにゲート電極152の側壁にはゲート側壁絶縁膜153が形成されている。図示しないが、ゲート電極152とP型の浅いウェル領域123とは電氣的に接続され、Nチャネル型DTMOS4を構成する。一方、N型の浅いウェル領域124上には、P型のソース領域163、P型のドレイン領域164が互いに離間して形成され、それらの間の領域上にゲート絶縁膜151を介してゲート電極152が形成され、さらにゲート電極152の側壁にはゲート側壁絶縁膜153が形成されている。図示しないが、ゲート電極152とN型の浅いウェル領域124とは電氣的に接続され、Pチャネル型DTMOS5を構成する。

【0052】各素子間を分離するため、素子分離領域131、132が設けられている。素子分離領域131、132は、各DTMOSの浅いウェル領域123、12

10

20

30

40

50

4を互いに電氣的に分離するに足る深さを有する。これにより、ゲート電極152と電氣的に接続された浅いウェル領域123、124の電位が素子毎に独立に変位しても、素子間の干渉を防ぐことができる。

【0053】Nチャネル型DTMOS4のゲート絶縁膜151の直下には、P型の不純物濃度の薄い領域127が形成され、さらにその下部にP型の不純物濃度の濃い領域125が形成されている。一方、Pチャネル型DTMOS5のゲート絶縁膜151の直下には、N型の不純物濃度の薄い領域128が形成され、さらにその下部にN型の不純物濃度の濃い領域126が形成されている。P型の不純物濃度の薄い領域127及びN型の不純物の薄い領域128の厚さは、例えば5nm～40nmとすることができ、それらの不純物濃度は、例えば $1 \times 10^{17} \text{ cm}^{-3}$ ～ $5 \times 10^{18} \text{ cm}^{-3}$ とすることができ、不純物濃度の薄い領域127、128の不純物濃度は、DTMOSが所望の閾値となるように決めれば良い。P型の不純物濃度の濃い領域125及びN型の不純物濃度の濃い領域126の厚さは、例えば5nm～50nmとすることができ、それらの不純物濃度は、例えば $2 \times 10^{19} \text{ cm}^{-3}$ ～ $5 \times 10^{20} \text{ cm}^{-3}$ とすることができ、不純物濃度の濃い領域125、126の下端は、ソース・ドレイン領域161～164の下面より浅いことが望ましい。なぜなら、不純物濃度の濃い領域125、126と、ソース・ドレイン領域161～164との接合では空乏層幅が非常に狭くなり大きな容量がつくため、その接合面積を極力小さくするのが好ましいからである。

【0054】DTMOSの基板バイアス効果について考察する。ここでは、Nチャネル型DTMOSに関して考察するが、Pチャネル型DTMOSについても、符号が異なる以外は同様である。基板バイアス効果とは、浅いウェル領域にバイアスを印加すると、トランジスタの閾値が下がり、ドレイン電流が増加する効果のことである。基板バイアス効果の大きさをあらわす量として基板バイアス効果因子 γ を用いるのが便利である。

$$\gamma = |\Delta V_t / V_b| \quad \dots (1)$$

【0055】ここで、 V_b はソース領域の電位を基準として浅いウェル領域に印加された電圧であり、 ΔV_t は浅いウェル領域に電圧 V_b が印加されたことによる閾値のシフト量(負の値)である。ここでの閾値とは、浅いウェル領域に電圧 V_b が常にかかった状態での閾値であり、浅いウェル領域の電圧が変動するDTMOSで実測される閾値とは異なることに注意されたい。DTMOSにおいては、 V_b が電源電圧 V_{dd} のときの ΔV_t から γ を求めることとする。

【0056】(1)式から、浅いウェル領域に一定の電圧 V_b をかけた時、 γ が大きいほど閾値のシフト量 ΔV_t が増加し、ドライブ電流が多く流れることが分かる。

【0057】ところで、閾値のシフト量 ΔV_t はゲート

酸化膜から基板側に伸びる空乏層の幅 X_d に反比例する。

$$\Delta V_t \propto T_{ox} V_d / X_d \quad \dots (2)$$

【0058】ここで、 T_{ox} はゲート絶縁膜厚である。したがって、(2)式から基板バイアス効果を増大するためには、ゲート絶縁膜から基板側に伸びる空乏層の幅 X_d を抑制するのが効果的であることが分かる。

【0059】図4に示す半導体装置は、空乏層の幅 X_d を抑制する構造となっている。ゲート絶縁膜151、151と不純物濃度の薄い領域127、128との界面から基板側に伸びる空乏層は、不純物濃度の濃い領域125、126の中にはほとんど侵入できない。すなわち、不純物濃度の濃い領域125、126は空乏層ストッパーの役割を果たしている。したがって、不純物濃度の薄い領域127、128の厚さは、不純物濃度の濃い領域125、126が無い場合の空乏層の厚さより薄くしなければならない。反転層が形成されたときの空乏層の厚さは、不純物濃度の濃い領域125、126が無い場合、不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ で約50nmである。したがって、不純物濃度の濃い領域125、126が空乏層ストッパーの役割を十分果たすためには、不純物濃度の薄い領域127、128の厚さが40nm以下であることが好ましい。

【0060】ここで、 γ が上昇したときの効果を見積る。例えば、通常のウェル構造のDTMOSにおいては、 γ は0.2程度である。一方、図4に示す半導体装置では、 γ を0.5程度にすることができる。 $V_b = 0.6 \text{ V}$ とすると、(1)式より、 $\gamma = 0.2$ のとき $\Delta V_t = -0.12 \text{ V}$ となり、 $\gamma = 0.5$ のとき $\Delta V_t = -0.30 \text{ V}$ となる。すなわち、 γ が0.2から0.5に増加すると、閾値のシフト量の絶対値は0.18V増加する。したがって、同じ閾値(ここでの閾値とは、基板バイアスが0のときの閾値)であれば、 γ が大きくなればドライブ電流が増加する。また、同じドライブ電流であれば、 γ が大きくなれば閾値(ここでの閾値とは、基板バイアスが0のときの閾値)を大きくすることができる。例えば、 γ が0.2から0.5に増加すると、閾値(ここでの閾値とは、基板バイアスが0のときの閾値)が0.18V増加しても同じドレイン電流を得ることができる(実際は基板濃度が増加して空乏層幅が縮まるためドレイン電流は更に大きくなる)。室温におけるDTMOSのサブスレショルド特性によると、ゲート電圧0.06Vにつきドレイン電流が1桁増加するから、閾値(ここでの閾値とは、基板バイアスが0のときの閾値)が0.18V増加すれば、オフ電流は3桁小さくなる。かくして、 γ を大きくすることによりオフ電流を低減することが可能となる。

【0061】同様にして、 $\gamma = 0.3$ 、 $V_b = 0.6 \text{ V}$ とすると、 $\Delta V_t = -0.18 \text{ V}$ となる。したがって、ドライブ電流が同じであるとすると、 γ が0.2から

0.3に上昇することによって、オフ電流は1桁低下する。図4に示す半導体装置においては、不純物濃度の薄い領域127, 128の厚さと不純物濃度の濃い領域125, 126の不純物濃度によって γ が変化する。通常のウェル構造を持つDTMOSは $\gamma=0.2$ 程度であるから、上述の結果より γ が0.3以上であることが望ましい。

【0062】なお、DTMOSの γ は以下の方法で見積

$$I_{cv} = W\mu C_{ox} (V_{dd} - V_{tc})^2 / 2L \quad \cdots (3)$$

$$I_{dt} = W\mu C_{ox} (V_{dd} - V_{tc} - \Delta V_t)^2 / 2L \quad \cdots (4)$$

$$\gamma = -\Delta V_t / V_{dd} \quad \cdots (5)$$

という式で表される。ここで、 W はゲート幅、 μ は移動度、 C_{ox} はゲート絶縁膜の静電容量、 V_{tc} は通常M

$$I_{dt} / I_{cv} = (1 - V_{tc} / V_{dd} + \gamma)^2 / (1 - V_{tc} / V_{dd})^2 \quad \cdots (6)$$

となり、 γ 以外は直接測定可能な量であるから、(6)式より γ を求めることができる。

【0063】次に、図5及び図6を用いて本実施の形態2の半導体装置の形成手順を説明する。

【0064】まず、図5(a)に示すように、半導体基板111上に、素子分離領域131, 132を形成する。上記素子分離領域131, 132は、例えばSTI (Shallow Trench Isolation) 法を用いて形成することができる。上記STI法を用いれば、さまざまな幅の素子分離領域を同時に形成するのが容易である。上記素子分離領域131, 132の深さは、互いに隣り合う素子の浅いウェル領域123, 124を電氣的に分離し、かつ深いウェル領域121, 122は電氣的に分離しないように設定される。素子分離領域131, 132の深さは、例えば、0.2 μ m \sim 2 μ mとするのが好ましい。

【0065】次に、上記半導体基板111内にN型の深いウェル領域121とP型の深いウェル領域122を形成する。N型を与える不純物イオンとしては $^{31}P^+$ が挙げられる。例えば、不純物イオンとして $^{31}P^+$ を使用した場合、注入エネルギーとして240KeV \sim 1500KeV、注入量として $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件とすることができる。P型を与える不純物イオンとしては $^{11}B^+$ が挙げられる。例えば、不純物イオンとして $^{11}B^+$ イオンを使用した場合、注入エネルギーとして100KeV \sim 1000KeV、注入量として $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件とすることができる。

【0066】次に、深いウェル領域121, 122上に、P型の浅いウェル領域123とN型の浅いウェル領域124とを形成する。N型を与える不純物イオンとしては $^{31}P^+$ が挙げられる。例えば、不純物イオンとして $^{31}P^+$ を使用した場合、注入エネルギーとして130KeV \sim 900KeV、注入量として $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。P型を与える不純物イオンとしては $^{11}B^+$ が

ることができる。DTMOSと同じウェル不純物プロファイルを持つ通常MOS (ゲート電極と浅いウェル領域が接続されていないMOSFET) でのドライブ電流を I_{cv} とする。ここで、ドライブ電流とは、Nチャネル型MOSFETの場合、ソース領域に0V、ゲート電極及びドレイン電極に電源電圧 V_{dd} を加えた時のドレイン電流である。一方、DTMOSのドライブ電流を I_{dt} とする。これらは、

OSの閾値である。(3)～(5)式より、

挙げられる。例えば、不純物イオンとして $^{11}B^+$ イオンを使用した場合、注入エネルギーとして60KeV \sim 500KeV、注入量として $5 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の条件で形成することができる。

【0067】ウェル領域を形成するための不純物注入の順番は上記の限りではなく、順番を入れ替えてもよい。

【0068】なお、上記浅いウェル領域123, 124と深いウェル領域121, 122との接合の深さは、上記浅いウェル領域123, 124への不純物の注入条件、深いウェル領域121, 122への不純物の注入条件、及びこれより後に行われる熱工程により決定される。上記素子分離領域131, 132の深さは、隣接する素子の浅いウェル領域123, 124が電氣的に分離され、かつ深いウェル領域121, 122は電氣的に分離されないように設定される。

【0069】次に、図5(a)に示すように、上記浅いウェル領域123, 124の最上層に、浅いウェル領域123, 124と同導電型の不純物を注入して、P型の不純物濃度の濃い領域125及びN型の不純物濃度の濃い領域126を形成する。N型を与える不純物イオンとしては $^{15}As^+$ が挙げられる。例えば、不純物イオンとして $^{15}As^+$ を使用した場合、注入エネルギーとして3KeV \sim 15KeV、注入量として $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で形成することができる。P型を与える不純物イオンとしては $^{115}In^+$ が挙げられる。例えば、不純物イオンとして $^{115}In^+$ イオンを使用した場合、注入エネルギーとして5KeV \sim 20KeV、注入量として $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で形成することができる。

【0070】なお、不純物の濃い領域125, 126形成用の不純物イオンとして上記 $^{15}As^+$ イオンや $^{115}In^+$ イオン以外にも、 $^{31}P^+$ イオン、 $^{12}Sb^+$ イオン、 $^{11}B^+$ イオン、 $^{19}BF_2^+$ イオン、デカボランイオン等も使用することができる。

【0071】次に、図5(b)に示すように、シリコン

基板の露出した活性領域にのみシリコン基板の面方位を受け継いだ単結晶シリコン膜 141 を選択的にエピタキシャル成長させ、それ以外の領域にはポリシリコン膜 142 を成長させる。すなわち、活性領域上には単結晶シリコン膜 141 が形成され、素子分離領域 131、132 上ではポリシリコン膜 142 が形成される。単結晶シリコン膜 141 の厚さは、例えば 8 nm ~ 50 nm とすることができる。上記選択エピタキシャル成長は、以下の方法で行うことができる。HF（弗化水素酸）処理によりシリコン基板表面を清浄化した後、LPCVD（減圧化学的気相成長）法により、例えば、580℃~680℃、 Si_2H_6 。もしくは SiH_4 ガスが 20 Pa ~ 100 Pa の条件でシリコン膜を堆積すれば、活性領域上には単結晶シリコン膜を、それ以外の領域上にはポリシリコン膜を形成することができる。シリコン膜の形成時には、導電型を与える不純物を含むガスを導入しないのが最も望ましい。

【0072】次に、図 5（c）に示すように、弗化水素酸と、硝酸と、酢酸の混合液により、ポリシリコン膜 142 を選択的にエッチングする。このように、活性領域上には単結晶シリコン膜を、それ以外の領域上にはポリシリコン膜を形成し、ポリシリコンのみをエッチングする方法では、素子分離領域上のシリコン残りを防止する効果が大きいという利点がある。

【0073】なお、上記活性領域上には単結晶シリコン膜を、それ以外の領域上にはポリシリコン膜を形成する工程と、ポリシリコン膜を選択的にエッチングする工程とは、他の工程で置きかえることができる。すなわち、図 5（a）の状態の上記活性領域上にのみ単結晶シリコン膜を選択エピタキシャル成長させることによって、エッチングを行うことなく直接図 5（c）の状態にすることができる。この方法によれば、より少ない工程で活性領域上にのみ単結晶シリコン膜を形成することができる。

【0074】次に、図 6（d）に示すように、単結晶シリコン膜 141 上に、ゲート絶縁膜 151 及びゲート電極 152 を形成する。この時の熱処理により、単結晶シリコン膜 141 には、不純物濃度の濃い領域 125、126 から不純物が拡散し、夫々 P 型の不純物濃度の薄い領域 127 及び N 型の不純物濃度の薄い領域 128 となる。

【0075】次に、図 6（e）に示すように、ソース領域 161、163 及びドレイン領域 162、164 を形成する。この時、ゲート側壁絶縁膜 153 を利用して、公知の方法で LDD（Lightly Doped Drain）領域を形成してもよい。

【0076】なお、DTMOS を作成するために必須である、ゲート電極と浅いウェル領域とを接続する方法は、特開平 10-22462 号公報で開示されている。

【0077】この後、不純物の活性化アニールを行う。

活性化アニールは、不純物が十分に活性化され、かつ不純物が過度に拡散しないような条件で行う。例えば、800℃~1000℃で 10~100 秒間のアニールとすることができる。

【0078】この後、公知の手法により、配線等を形成することにより CMOS 回路を構成して半導体装置を形成することができる。

【0079】なお、DTMOS 以外にも、通常構造の MOSFET が混在していても良い。この場合は、通常の MOSFET とすべき素子においては、ゲート電極と浅いウェル領域とを接続せず、浅いウェル領域の電位を固定すればよい。

【0080】上記製造方法によれば、あらかじめ浅いウェル領域の最上層部に不純物濃度の濃い領域を形成しておいて、その後に単結晶シリコン膜をエピタキシャル成長させている。そのため、表面側から深さ方向に順に、不純物濃度の薄い領域 127、128 と、不純物濃度の濃い領域 125、126 とを、イオン注入では困難な急峻なプロファイルを持つように形成することができる。また、活性領域上に成長した膜は基板結晶の方位を受け継いだ単結晶シリコンであるから、改めて再結晶化するための熱工程が不要となり、急峻なプロファイルを形成することができる。したがって、基板バイアス効果が顕著な DTMOS からなる CMOS 回路を形成することができる。

【0081】本実施の半導体装置によれば、DTMOS 4、5 のゲート絶縁膜 151、151 の直下には不純物濃度の薄い領域 127、128 が形成され、さらにその下には不純物濃度の濃い領域 125、126 が形成されている。上記不純物濃度の薄い領域 127、128 は、その厚さが通常の不純物プロファイルをもつ DTMOS で形成されるゲート空乏層幅より薄いので、ゲート絶縁膜から浅いウェル領域側に伸びる空乏層幅が抑制される。そのため、基板バイアス効果が増大するので、DTMOS の閾値を高くしてオフ電流を少なくすることができる。したがって、DTMOS による CMOS 回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0082】（実施の形態 3）本実施の形態 3 の半導体装置は、DTMOS からなる CMOS 回路において、DTMOS の基板バイアス効果を増大することにより所望のドレイン電流を得るための閾値を上昇させ、結果としてオフ電流を減少させる別の方法を示すものである。本実施の形態 3 の半導体装置を、図 7 を用いて説明する。

【0083】本実施の形態 3 の半導体装置が、実施の形態 2 の半導体装置と異なるのは、ゲート絶縁膜直下における不純物プロファイルのみである。すなわち、本実施の形態 3 では、ゲート絶縁膜の直下のチャネル領域に、ウェル領域の導電型とは異なる導電型の不純物がドーパされた、いわゆるカウンタードープ構造を採用してい

る。

【0084】Nチャネル型DTMOS 6のゲート絶縁膜 151の直下には、N型の不純物濃度の薄い領域 173が形成され、さらにその下部にN型の不純物濃度の濃い領域 171が形成されている。一方、Pチャネル型DTMOS 7のゲート絶縁膜 151の直下には、P型の不純物濃度の薄い領域 174が形成され、さらにその下部にP型の不純物濃度の濃い領域 172が形成されている。不純物濃度の薄い領域 173、174の厚さは、例えば、5nm~10nmとし、不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ ~ $2 \times 10^{17} \text{ cm}^{-3}$ とすることができる。また、不純物濃度の濃い領域 171、172の厚さは、例えば、5nm~15nmとし、不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ ~ $2 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

【0085】本実施の形態の半導体装置によっても、ゲート空乏層幅を抑制することができる。しかも、 γ は0.8~1.0程度にまで大きくすることができるので、基板バイアス効果は実施の形態2の半導体装置よりもいっそう大きくすることができる。したがって、より

低消費電力で高速動作が可能で、DTMOSによるCMOS回路からなる半導体装置が提供される。

【0086】（実施の形態4）実施の形態1の半導体装置と、実施の形態2または3の半導体装置との長所を組み合わせれば、更に低消費電力で、DTMOSによるCMOS回路からなる半導体装置が提供される。

【0087】実施の形態1の半導体装置では、スタンバイ時に電源電圧を低下させることにより、ゲート電流を低減する。しかしながら、例えば図1の例では、電源電圧が0.4V以下となる領域ではリーク電流に対する寄与はオフ電流が支配的になる。そのため、更にリーク電流を減少させるためには、閾値を上げれば良いが、そうするとドライブ電流が減少して回路の動作速度が低下してしまう。

【0088】そこで、実施の形態2または3の半導体装置を用いれば、基板バイアス効果の増大により、DTMOSのドライブ電流を保ったまま閾値を上げることができるので、オフリークを低減することができる。回路がスタンバイ時には、その分更に電源電圧を低下させてゲート電流を低減することが有効となる。したがって、DTMOSによるCMOS回路からなる半導体装置を、動作速度を高速に保ったまま更に低消費電力化することができる。

【0089】（実施の形態5）実施の形態1~4のいずれかの半導体装置を、スタティック型ランダムアクセスメモリ（SRAM）に用いることができる。SRAMは高速動作が可能ではあるが、揮発性メモリであるために、スタンバイ時のリーク電流が問題となっていた。

【0090】図8は本実施の形態5となるSRAMの回路図である。N1、N2、ST1、ST2はNチャネル

型DTMOSであり、P1、P2はPチャネル型DTMOSである。また、WDはワード線、BIT1は第1ビット線、BIT2は第2ビット線、VDDは電源線、GNDは接地線である。

【0091】N1とP1、N2とP2は夫々対になって相補型のインバータ回路を構成し、2つのインバータ回路がフリップフロップ回路を構成している。また、ST1とST2は選択トランジスタとなっている。SRAMをDTMOSで構成した場合、実施の形態1~4のいずれかの半導体装置を用いることにより、スタンバイ時のリーク電流を低減することができる。したがって、スタティック型ランダムアクセスメモリの動作速度を高速に保ったまま低消費電力化することができる。

【0092】（実施の形態6）実施の形態1~5のいずれかの半導体装置を、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器などが挙げられる。

【0093】図9は、携帯電話の例を示している。制御回路 211には、本発明の半導体装置が組み込まれている。なお、上記制御回路 211は、本発明の半導体装置からなる論理回路と、メモリとを混載したLSI（大規模集積回路）から成っていてもよい。212は電池、213はRF（無線周波数）回路部、214は表示部、215はアンテナ部、216は信号線、217は電源線である。

【0094】本発明の半導体装置を携帯電子機器に用いることにより、携帯電子機器の機能と動作速度を保ったままLSI部の消費電力を大幅に下げることが可能になる。これにより、電池寿命を大幅にのばすことが可能になる。

【0095】

【発明の効果】以上より明らかなように、第1の発明の半導体装置によれば、上記動的閾値トランジスタからなる相補型回路は、アクティブモードとスタンバイモードの少なくとも2つの動作モードを有する。そして、アクティブモードでは、十分に高い電源電圧が供給されるので、回路を高速に動作させることができる。一方、回路が休止状態にあるとき、あるいは低速で動作させるときにはスタンバイモードとして、低い電源電圧を与えてリーク電流の主因となるゲート電流を著しく抑制することができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0096】一実施形態の半導体装置によれば、上記相補型の回路のリーク電流を、上記動的閾値トランジスタのオフ電流が規定する大きさまで十分に小さくすることができる。すなわち、上記第1の発明の半導体装置の効果を実限引き出すことができる。

【0097】一実施形態の半導体装置によれば、上記動

的閾値トランジスタからなる上記相補型の回路を複数の基本回路ブロックに分割し、夫々を独立にアクティブモードまたはスタンバイモードにすることができる。したがって、高速動作させる必要がある基本回路ブロックのみアクティブモードとし、その他の基本回路ブロックをスタンバイモードとしてリーク電流を低減することができる。したがって、回路の動作速度を高速に保ったままさらに低消費電力化することができる。

【0098】また、第2の発明の半導体装置によれば、上記第1導電型および第2導電型の動的閾値トランジスタとで相補型の回路が構成されている。そして、上記第1導電型（第2導電型）の動的閾値トランジスタの上記第2導電型（第1導電型）の浅いウェル領域内には、ゲート絶縁膜との界面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とが形成され、上記第2導電型（第1導電型）の不純物濃度の薄い層の厚さは40nm以下である。そのため、上記不純物濃度の濃い層によって、ゲート絶縁膜から浅いウェル領域側に形成される空乏層の伸びが抑制される。その結果、基板バイアス効果が増大するので、動的閾値トランジスタの閾値を高くしてオフ電流を少なくすることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0099】また、第3の発明の半導体装置の製造方法によれば、あらかじめ上記活性領域の最上層部に不純物濃度の濃い領域を形成しておいて、その後に単結晶半導体膜をエピタキシャル成長させている。そのため、上記第1導電型（第2導電型）の動的閾値トランジスタのために、表面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とを、イオン注入では困難な急峻なプロファイルを持つように形成することができる。また、上記活性領域上に成長した膜は基板結晶の方位を受け継いだ単結晶半導体膜であるから、改めて再結晶化するための熱工程が不要となり、急峻なプロファイルを維持することができる。

【0100】また、上記活性領域以外の領域上、例えば上記素子分離領域上には、単結晶半導体膜に対して選択エッチング可能な多結晶半導体膜が形成される。そのため、素子間およびソース・ドレイン領域間を分離するためには、等方性エッチングにより上記多結晶半導体膜を除去するだけでよい。

【0101】したがって、比較的簡単な工程で高性能な上記第2の発明の半導体装置を製造することができる。

【0102】また、第4の発明の半導体装置の製造方法によれば、あらかじめ上記活性領域の最上層部に不純物濃度の濃い領域を形成しておいて、その後に単結晶半導体膜をエピタキシャル成長させている。そのため、上記

第1導電型（第2導電型）の動的閾値トランジスタのために、表面側から深さ方向に順に、第2導電型（第1導電型）の不純物濃度の薄い層と、第2導電型（第1導電型）の不純物濃度の濃い層とを、イオン注入では困難な急峻なプロファイルを持つように形成することができる。また、上記活性領域上に成長した膜は基板結晶の方位を受け継いだ単結晶半導体膜であるから、改めて再結晶化するための熱工程が不要となり、急峻なプロファイルを維持することができる。

【0103】また、上記活性領域のみに、単結晶半導体膜が選択エピタキシャル成長する。そのため、上記活性領域以外の領域上、例えば素子間およびソース・ドレイン領域間を分離するための等方性エッチングなどが必要ない。

【0104】したがって、更に簡単な工程により、上記第2の発明の半導体装置を製造することができる。

【0105】また、第5の発明の半導体装置によれば、上記第1導電型および第2導電型の動的閾値トランジスタとで相補型の回路が構成されている。そして、上記第1導電型（第2導電型）の動的閾値トランジスタの上記第2導電型（第1導電型）の浅いウェル領域上には、ゲート絶縁膜との界面側から深さ方向に順に、第1導電型（第2導電型）の不純物濃度の薄い層と、第1導電型（第2導電型）の不純物濃度の濃い層とが形成されている。このような、いわゆるカウンタードープ構造によってもまた、上記第2の発明の半導体装置と同様に空乏層の伸びを抑制することができる。しかも、その抑制の度合いは上記第2の発明の半導体装置よりも大きい。その結果、基板バイアス効果はさらに増大するので、動的閾値トランジスタの閾値をさらに高くしてオフ電流を少なくすることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったままさらに低消費電力化することができる。

【0106】また、第6の発明の半導体装置は、相補型の回路を構成する上記の動的閾値トランジスタの基板バイアス効果因子 γ が0.3以上であるから、従来技術による動的閾値トランジスタに比べて十分大きな基板バイアス効果を得ることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま低消費電力化することができる。

【0107】また、第7の発明の半導体装置によれば、基板バイアス効果の大きな動的閾値を用いて相補型回路を組むことによりオフリークを非常に小さくすることができ、かつ回路がスタンバイ状態にあるときにはゲート電流を非常に小さくすることができる。したがって、動的閾値トランジスタによる相補型回路からなる半導体装置を、動作速度を高速に保ったまま著しく低消費電力化することができる。

10

20

30

40

50

【0108】また、第8の発明のスタティック型ランダムアクセスメモリ装置は、上記第1、第2、第5、第6のいずれかの発明の半導体装置を具備しているので、スタンバイ時のリーク電流を低減することができる。したがって、スタティック型ランダムアクセスメモリの動作速度を高速に保ったまま低消費電力化することができる。

【0109】また、第9の発明の携帯電子機器は、上記発明の半導体装置を具備するから、LSI（大規模集積回路）部等の消費電力が大幅に減少して、電池寿命を大

幅にのばすことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置を構成する、Nチャネル型DTMOSのドレイン電流およびゲート電流のゲート電圧依存性を示すグラフである。

【図2】 本発明の実施の形態1の半導体装置を構成する、Pチャネル型DTMOSのドレイン電流およびゲート電流のゲート電圧依存性を示すグラフである。

【図3】 本発明の実施の形態1の半導体装置の構成を示す図である。

【図4】 本発明の実施の形態2の半導体装置の断面図である。

【図5】 本発明の実施の形態2の半導体装置を作成する手順を示す図である。

【図6】 本発明の実施の形態2の半導体装置を作成する手順を示す図である。

【図7】 本発明の実施の形態3の半導体装置の断面図である。

【図8】 本発明の実施の形態5のスタティック型ランダムアクセスメモリ装置の回路図である。

【図9】 本発明の実施の形態6の携帯電子機器の構成を示す図である。

【図10】 Nチャネル型DTMOSのドレイン電流およびゲート電流のゲート電圧依存性を示すグラフであり、従来技術の問題点を説明する図である。

【図11】 DTMOSを用いて構成したインバータ回路の回路図であり、従来技術の問題点を説明する図である。

【符号の説明】

4, 6 Nチャネル型DTMOS

5, 7 Pチャネル型DTMOS

121 N型の深いウェル領域

122 P型の深いウェル領域

123 P型の浅いウェル領域

124 N型の浅いウェル領域

125, 172 P型の不純物濃度の濃い領域

126, 171 N型の不純物濃度の濃い領域

127, 174 P型の不純物濃度の薄い領域

128, 173 N型の不純物濃度の薄い領域

151 ゲート絶縁膜

152 ゲート電極

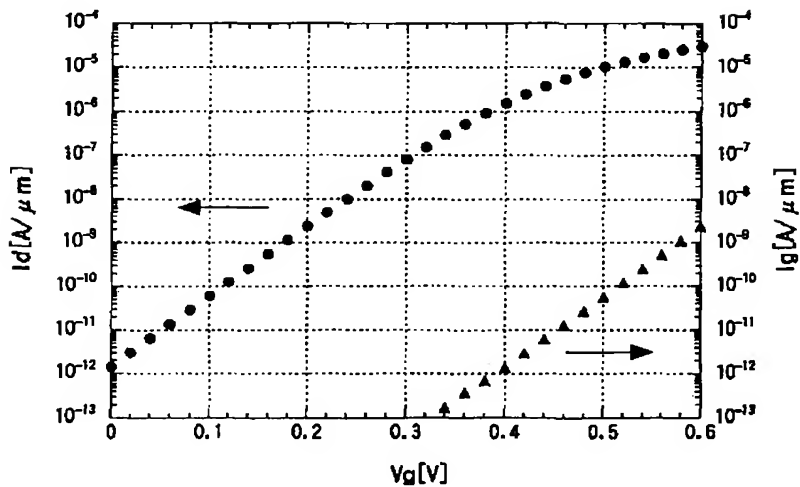
161 N型のソース領域

162 N型のドレイン領域

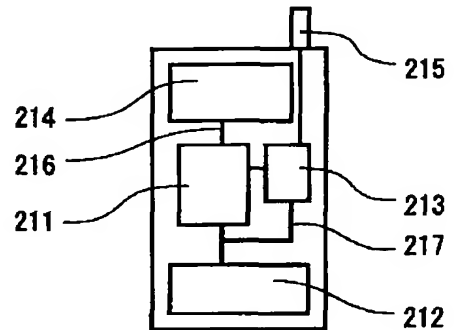
163 P型のソース領域

164 P型のドレイン領域

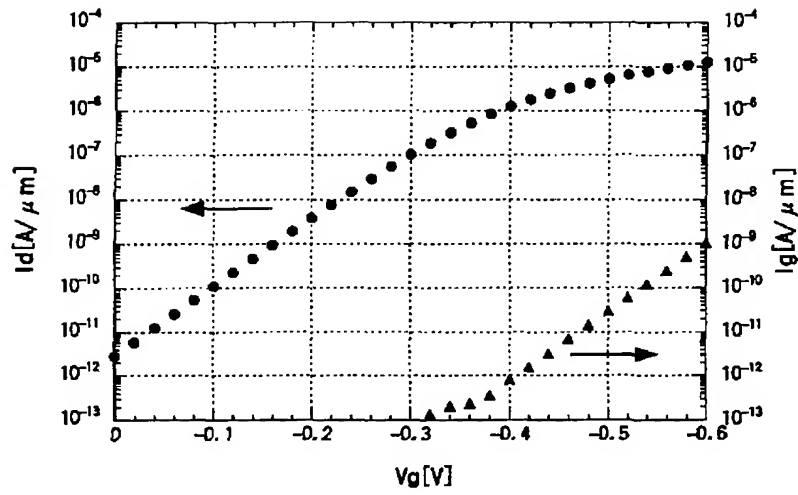
【図1】



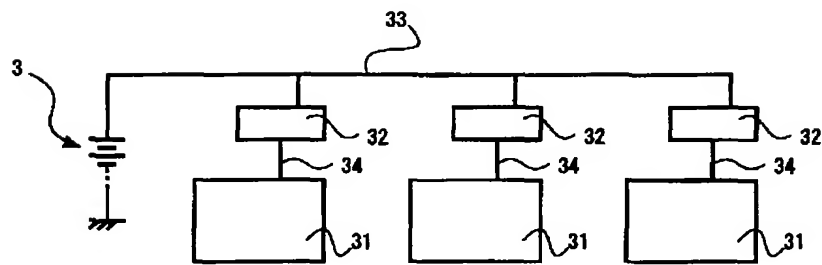
【図9】



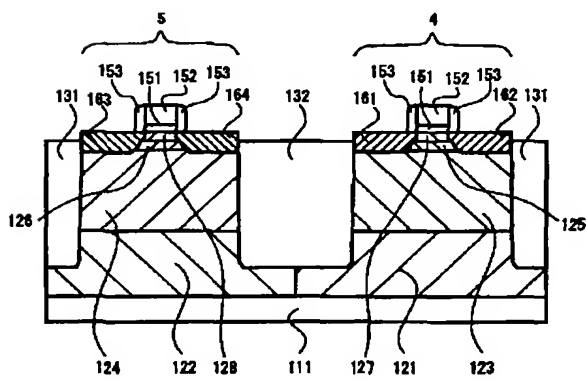
【図 2】



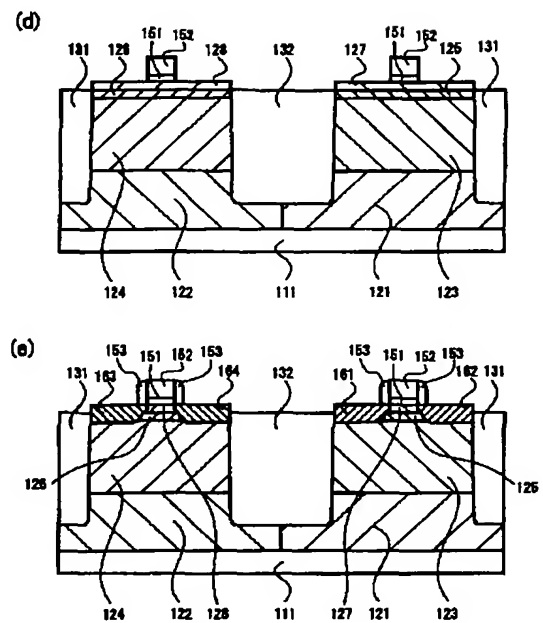
【図 3】



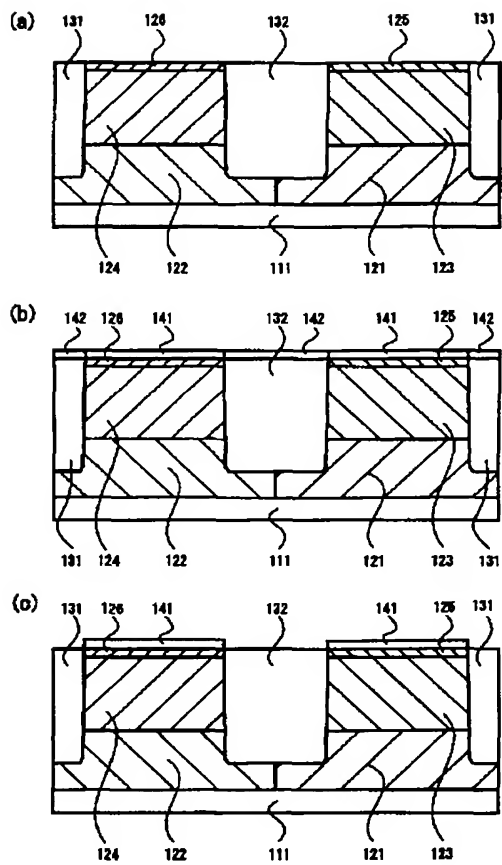
【図 4】



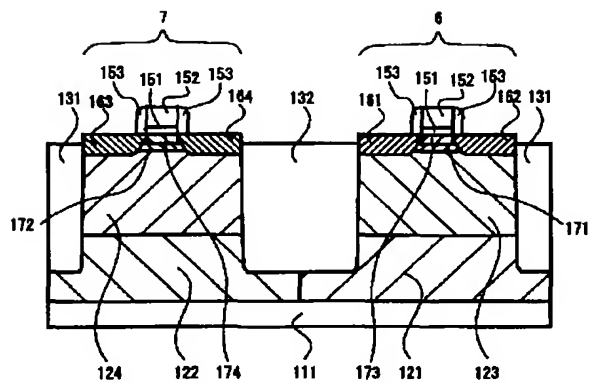
【図 6】



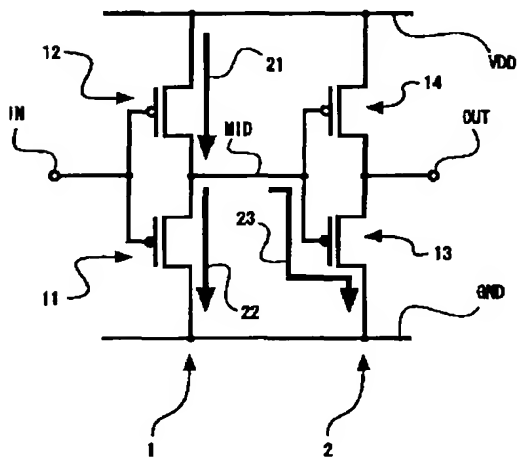
【図 5】



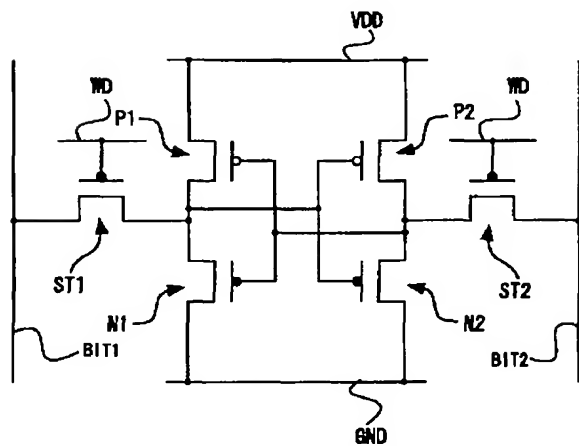
【図 7】



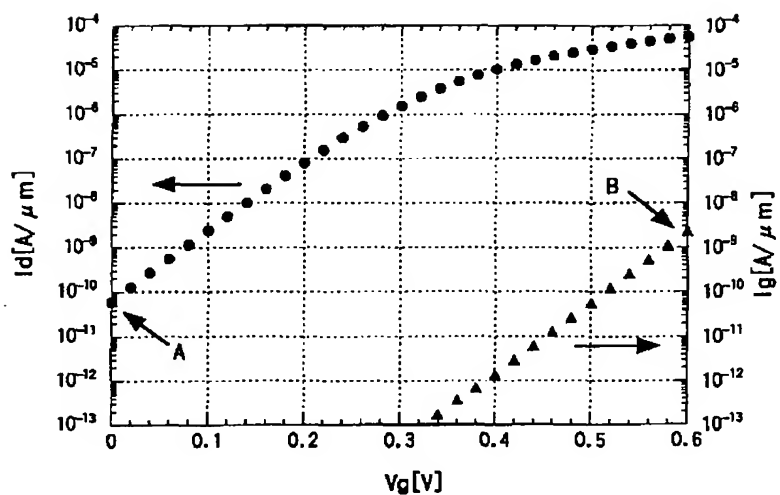
【図 11】



【図 8】



【図 10】



フロントページの続き

(72)発明者 柿本 誠三

大阪府大阪市阿倍野区長池町22番22号 シ

ャーブ株式会社内

Fターム(参考) 5F048 AA07 AB01 AC03 BA02 BB05

BB14 BC06 BD04 BD09 BE01

BE02 BE03 BE07 BG14

5F083 BS02 BS14 BS26 GA06 NA01

PR25